

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174242
(43)Date of publication of application : 23.06.2000

(51)Int. Cl.

H01L 27/115

H01L 21/76

H01L 27/10

(21)Application number : 11-252181
(22)Date of filing : 06.09.1999

(71)Applicant : TOSHIBA CORP
(72)Inventor : NAKAMURA TAKUYA
KOIDO NAOKI
IIZUKA HIROHISA
NARITA KAZUHITO
ARITOME SEIICHI
ARAI FUMITAKA

(30)Priority

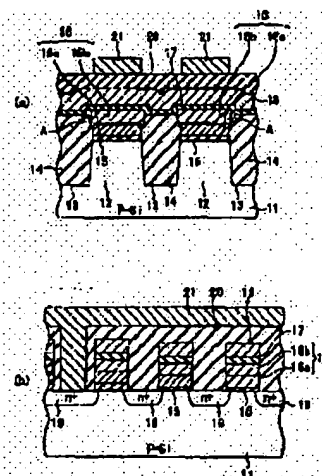
Priority number : 10276126 Priority date : 29.09.1998 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, together with its manufacturing method, wherein a short circuit between gate electrodes is surely prevented.

SOLUTION: After a first gate electrode material film 16a is deposited on a silicon substrate 11 through a gate insulating film 15, a mask material is used to work an element isolation groove 13 for embedding an element isolation insulating film 14. After the mask material is removed, the upper-end part corner A of the element isolation insulating film 14 is receded by an isotropic etching. Then, a second gate electrode material film 16b is deposited, and a control gate electrode 18 is formed through an inter-layer gate insulating film 17. At the time when the control gate electrode 18 is patterned, gate electrode material film 16b and 16a are etched to form a floating gate electrode 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

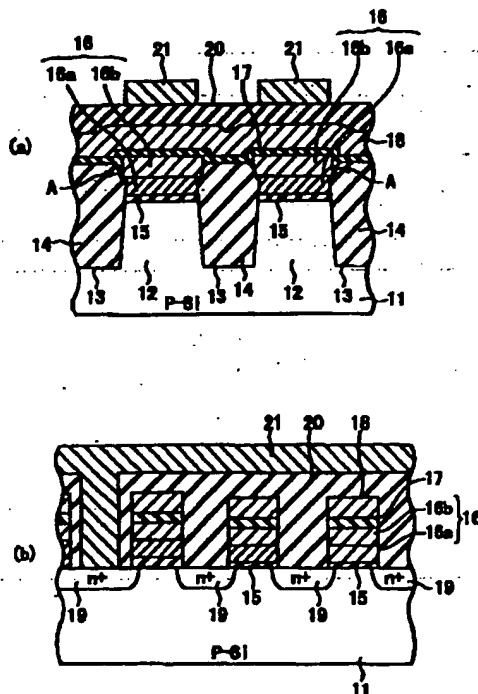
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office



【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に形成された溝に半導体基板の面より突出した状態に埋め込まれた素子分離絶縁膜と、
前記半導体基板の前記素子分離絶縁膜により囲まれた領域に形成された、前記素子分離絶縁膜の埋め込み前にゲート絶縁膜を介して堆積されたゲート電極材料膜を含むゲート電極を有するトランジスタとを備えた半導体装置において、

前記素子分離絶縁膜は、その上端部コーナーが選択的に後退処理されていることを特徴とする半導体装置。

【請求項2】 前記トランジスタは、前記ゲート電極を浮遊ゲート電極とし、この浮遊ゲート電極上に層間ゲート絶縁膜を介して制御ゲート電極が積層された不揮発性メモリトランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板にゲート絶縁膜を介してゲート電極材料膜及びマスク材料膜を順次堆積する工程と、
前記マスク材料膜、ゲート電極材料膜、ゲート絶縁膜及び半導体基板を異方性エッチングにより順次エッチングして素子分離領域に溝を形成する工程と、
前記マスク材料膜を残したまま前記溝にマスク材料膜の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、

前記マスク材料膜をその膜厚方向に少なくとも一部除去した後、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程と、
前記マスク材料膜を除去した後、前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記ゲート電極は、浮遊ゲート電極と制御ゲート電極が積層された不揮発性メモリトランジスタの浮遊ゲート電極であり、
前記ゲート電極のパターニング工程は、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程の後、前記ゲート電極材料膜上に層間ゲート絶縁膜を介して制御ゲート電極材料膜を堆積し、この制御ゲート電極材料膜をパターニングして制御ゲート電極を形成する工程と連続的に行うことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程は、後退した上端部コーナーが前記ゲート電極材料膜の側面に終端する状態となるようにすることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】 浮遊ゲート電極とこれに容量結合する制御ゲート電極とを持つ不揮発性メモリトランジスタが配列形成されたメモリセルアレイを有する半導体装置の製造方法であって、

半導体基板にゲート絶縁膜を介して第1のゲート電極材

料膜及びマスク材料膜を順次堆積する工程と、

前記マスク材料膜、第1のゲート電極材料膜、ゲート絶縁膜及び半導体基板を異方性エッチングにより順次エッチングして素子分離領域に溝を形成する工程と、

前記マスク材料膜を残したまま前記溝にマスク材料膜の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、

前記マスク材料膜をその膜厚方向に少なくとも一部除去した後、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程と、

前記マスク材料膜を除去した後、前記第1のゲート電極材料膜と共に浮遊ゲート電極を構成する第2のゲート電極材料膜を堆積する工程と、

前記第2のゲート電極材料膜を前記素子分離絶縁膜上で分離するスリットを加工する工程と、

前記第2のゲート電極材料膜上に層間ゲート絶縁膜を介して制御ゲート電極を形成する工程と、

前記制御ゲート電極と自己整合的に前記第2及び第1のゲート電極材料膜をパターニングして各メモリトランジスタの浮遊ゲート電極を分離形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ゲート電極材料膜堆積後に素子分離絶縁膜の埋め込みを行うようにした半導体装置に係り、特にNAND型EEPROM等の不揮発性メモリに適用して有用な半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来より、NAND型EEPROM等の高集積化メモリに用いられる素子分離技術として、STI (Shallow Trench Isolation) 技術が知られている。これは、半導体基板の素子分離領域に浅い溝を加工し、この溝に素子分離絶縁膜を埋め込み形成するものである。具体的なSTI技術の適用に当たっては、(a)素子分離絶縁膜を埋め込み形成した後に、素子領域にゲート絶縁膜を介してゲート電極を形成する方式と、(b)予め基板全面にゲート絶縁膜を介してゲート電極材料膜を形成した状態でゲート電極材料膜、ゲート絶縁膜及び基板をエッチングして溝を形成し、素子分離絶縁膜を埋め込み形成する方式とがある。

【0003】図15(a)、(b)は、NAND型EEPROMのメモリセルアレイ領域について、後者の方式を適用して素子分離絶縁膜を埋め込んだ状態の平面図とそのA-A'断面図を示している。図示のように、シリコン基板1には素子分離絶縁膜4の埋め込み前に、ゲート絶縁膜(トンネル絶縁膜)5を介して浮遊ゲート電極の一部となるゲート電極材料膜6、及びCMP処理のストッパマスク材となるシリコン窒化膜7が堆積される。これらのシリコン窒化膜7、ゲート電極材料膜6、ゲ-

ト絶縁膜5及び基板1をレジストパターンを用いたRIEによりエッチングして、素子分離領域に溝3が形成され、ここに素子分離絶縁膜4が埋め込まれる。これにより、素子分離絶縁膜4により区画されたストライプ状の素子領域2が形成される。素子分離絶縁膜4は、シリコン窒化膜7と実質的に同じ面位置になるように埋め込まれる。

【0004】この後、シリコン窒化膜7を除去して、制御ゲート電極を積層形成する。図16(a)、(b)は制御ゲート電極9をパターン形成した状態の平面図とそのA-A'断面図を示している。図15の段階では、ゲート電極材料膜6は、図15(b)の断面では分離されているが、ストライプ状の素子領域2内での各メモリトランジスタ毎の分離は未だなされていない。シリコン窒化膜7を除去した後、このゲート電極材料膜6とともに浮遊ゲート電極となるゲート電極材料膜6bを堆積し、これに素子分離領域上でスリットを加工した後、この上に層間ゲート絶縁膜8を形成し、制御ゲート電極9を形成する。この制御ゲート電極9のパターニング工程において同時に、ゲート電極材料膜6b及び6のエッチングを行うことにより、素子領域2内での各メモリトランジスタ毎に分離された浮遊ゲート電極が得られる。

【0005】

【発明が解決しようとする課題】上述した従来の製造法では、図16(a)に示すように、パターニングされた制御ゲート電極9の間に、素子分離溝3の境界に沿ってゲート電極材料膜6、6bのエッチング残り10が発生する。これは、図15に示すようにRIEにより形成された溝に素子分離絶縁膜4を埋め込むと、その後シリコン窒化膜7を除去したときに、素子分離絶縁膜4が逆テーパ状をなしてゲート電極材料膜6の上に突出した形となるためである。

【0006】即ち、制御ゲート電極9をパターニングし、引き続きゲート電極材料膜6b、6を順次エッチングする際に、素子分離絶縁膜4のコーナーが陰になって、ゲート電極材料膜6b、6のうち特に下層のゲート電極材料膜6が完全にエッチングされない。このようなエッチング残り10は、NAND型セル内のメモリトランジスタの浮遊ゲート短絡という不良の原因となる。同様の問題は、NAND型EEPROMに限らず、同様の素子分離技術を用いる他のトランジスタ回路にも生じる。

【0007】この発明は、上記事情を考慮してなされたもので、ゲート電極間短絡を確実に防止した半導体装置とその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この半導体基板に形成された溝に半導体基板の面より突出した状態に埋め込まれた素子分離絶縁膜と、前記半導体基板の前記素子分離絶縁膜により囲まれた領域に形成された、前記素子分離絶縁膜の埋

め込み前にゲート絶縁膜を介して堆積されたゲート電極材料膜からなるゲート電極を有するトランジスタとを備えた半導体装置において、前記素子分離絶縁膜は、その上端部コーナーが選択的に後退処理されていることを特徴とする。

【0009】具体的に例えば、前記トランジスタは、前記ゲート電極を浮遊ゲート電極とし、この浮遊ゲート電極上に層間ゲート絶縁膜を介して制御ゲート電極が積層された不揮発性メモリトランジスタである。

【0010】この発明に係る半導体装置の製造方法は、半導体基板にゲート絶縁膜を介してゲート電極材料膜及びマスク材料膜を順次堆積する工程と、前記マスク材料膜、ゲート電極材料膜、ゲート絶縁膜及び半導体基板を異方性エッチングにより順次エッチングして素子分離領域に溝を形成する工程と、前記マスク材料膜を残したまま前記溝にマスク材料膜の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、前記マスク材料膜をその膜厚方向に少なくとも一部除去した後、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程と、前記マスク材料膜を除去した後、前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程とを有することを特徴とする。

【0011】この発明の製造方法において、前記ゲート電極は例えば、浮遊ゲート電極と制御ゲート電極が積層された不揮発性メモリトランジスタの浮遊ゲート電極であり、前記ゲート電極のパターニング工程は、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程の後、前記ゲート電極材料膜上に層間ゲート絶縁膜を介して制御ゲート電極材料膜を堆積し、この制御ゲート電極材料膜をパターニングして制御ゲート電極を形成する工程と連続的に行うものとする。

【0012】またこの発明の製造方法において、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程は、好ましくは、後退した上端部コーナーが前記ゲート電極材料膜の側面に終端する状態となるようにする。

【0013】この発明はまた、浮遊ゲート電極とこれに容量結合する制御ゲート電極とを持つ不揮発性メモリトランジスタが配列形成されたメモリセルアレイを有する半導体装置の製造方法であって、半導体基板にゲート絶縁膜を介して第1のゲート電極材料膜及びマスク材料膜を順次堆積する工程と、前記マスク材料膜、第1のゲート電極材料膜、ゲート絶縁膜及び半導体基板を異方性エッチングにより順次エッチングして素子分離領域に溝を形成する工程と、前記マスク材料膜を残したまま前記溝にマスク材料膜の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、前記マスク材料膜をその膜厚方向に少なくとも一部除去した後、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程と、前記マスク材料膜を除去した後、前記第1の

ゲート電極材料膜と共に浮遊ゲート電極を構成する第2のゲート電極材料膜を堆積する工程と、前記第2のゲート電極材料膜を前記素子分離絶縁膜上で分離するスリットを加工する工程と、前記第2のゲート電極材料膜上に層間ゲート絶縁膜を介して制御ゲート電極を形成する工程と、前記制御ゲート電極と自己整合的に前記第2及び第1のゲート電極材料膜をパターンニングして各メモリトランジスタの浮遊ゲート電極を分離形成する工程とを有することを特徴とする。

【0014】この発明によると、トランジスタのゲート電極材料膜が素子分離絶縁膜の埋め込み工程前に堆積され、しかも素子分離絶縁膜が半導体基板の面より突出した状態に埋め込まれるような半導体装置の場合に、素子分離絶縁膜の上端部コーナーに対してゲート電極のパターンニング工程前に後退処理を施すことによって、ゲート電極のパターンニング工程で素子分離絶縁膜の陰になって電極材料膜のエッチング残りが生じるといった事態が防止される。これにより、ゲート電極短絡という不良のない信頼性の高い半導体装置が得られる。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明をNAND型EEPROMに適用した実施例のメモリセルアレイ部の構造を示す平面図であり、図2(a)、(b)はそれぞれ図1のA-A'、B-B'断面図である。

【0016】p型シリコン基板11の素子分離領域には、STI(Shallow Trench Isolation)技術により素子分離用溝13が形成され、この溝13に素子分離絶縁膜14が埋め込み形成されている。素子分離絶縁膜14により囲まれた素子形成領域12は、ストライプ状をなしており、ここにゲート絶縁膜(トンネル絶縁膜)15を介して浮遊ゲート電極16が形成され、浮遊ゲート電極16上に更に層間ゲート絶縁膜17を介して制御ゲート電極18が形成されている。

【0017】この実施例の場合、浮遊ゲート電極16は、第1のゲート電極材料膜16aと第2のゲート電極材料膜16bの積層構造により形成されている。この浮遊ゲート電極16のうち、第1のゲート電極材料膜16aの堆積工程は、素子分離絶縁膜14の埋め込み工程より先行するが、この点の詳細は後に説明する。制御ゲート電極18は、図2に示すように、ワード線WL(WL1~WL8)として連続的にパターン形成される。制御ゲート電極18と同時に同じ材料膜を用いて選択ゲート電極18aが形成され、これはワード線WLと平行に選択ゲート線SG(SG1、SG2)としてパターンニングされる。

【0018】浮遊ゲート電極16は、制御ゲート電極18及び選択ゲート電極18aに自己整合されてNAND型セル内の各メモリトランジスタ毎に分離される。制御ゲート電極18及び選択ゲート電極18aをマスクとし

てイオン注入を行うことにより、NAND型セルの各メモリトランジスタのソース、ドレイン拡散層19が形成される。制御ゲート電極18及び選択ゲート電極18aの上には層間絶縁膜20が形成され、この上にNANDセルの一端に接続されるビット線(BL)21が、ワード線WLと直交する方向にパターン形成される。

【0019】なお制御ゲート電極18と選択ゲート電極18aは、図2(b)ではほぼ同様の構造をもって示しているが、選択ゲート電極18aの直下のゲート絶縁膜はメモリトランジスタ部に比べて厚く形成され、また選択ゲート電極18aは図2(b)の断面位置以外の適当な位置で、ワード線方向に分離されず連続的にパターン形成されている浮遊ゲート電極16の第2のゲート電極材料膜16bと接続される。

【0020】この実施例においては、図2(a)の断面に示すように、素子分離絶縁膜14の上端部コーナーAが等方性エッチングにより後退させられ、コーナーAは浮遊ゲート電極16における第1のゲート電極材料膜16aの側面に終端している。即ち、コーナーAの浮遊ゲート電極16に接する面位置は、第1のゲート電極材料膜16aの上面より低く、ゲート絶縁膜15との界面よりは高い。またコーナーAから離れた部分では素子分離絶縁膜14の面位置は第1のゲート電極材料膜16aのそれより高くなっている。

【0021】次に、このようなNAND型メモリアレイの製造工程を具体的に説明する。図3~図10は、図2(a)の断面での製造工程を示している。図3に示すように、シリコン基板11に、ゲート絶縁膜15を介して浮遊ゲート電極となる第1のゲート電極材料膜16aを堆積し、更にその上に、素子分離絶縁膜のCMP処理時のストップマスク材となるシリコン窒化膜31を堆積する。ゲート絶縁膜15はこの実施例の場合、熱酸化によるトンネル酸化膜である。ゲート電極材料膜16aは、アモルファスシリコン膜又は多結晶シリコン膜である。

【0022】シリコン窒化膜31上には、リソグラフィにより素子分離領域に開口を持つレジストパターン32を形成する。そして、レジストパターン32をマスクとして、異方性ドライエッチングであるRIEにより、シリコン窒化膜31、ゲート電極材料膜16a、ゲート絶縁膜15をエッチングし、更に基板11をエッチングして、図4に示すように、浅い素子分離用溝13を形成する。これにより、ストライプパターンの素子領域12が形成される。ゲート電極材料膜16aも素子形成領域12と同じパターンに加工されるが、この段階ではまだ、NANDセル内のメモリトランジスタ毎の分離はなされない。

【0023】レジストパターン32を除去した後、図5に示すように、素子分離絶縁膜となるCVDによるシリコン酸化膜14を堆積する。次いでこのシリコン酸化膜14をシリコン窒化膜31をストップマスクとするCM

P処理により研磨して、図6に示すように、シリコン窒化膜31が露出して素子分離溝13にはシリコン酸化膜14が埋め込まれて平坦化された状態を得る。

【0024】その後、図7に示すように、シリコン窒化膜31をエッチング除去する。このとき素子分離絶縁膜14は、図示のように逆テーパ状であって、ゲート電極材料膜16aの面位置より突出した状態となる。次に、素子分離絶縁膜14を等方性エッチング、例えばゲート電極材料膜16aに対して選択比の大きいウェットエッチング法を利用してエッチングして、図8に示すように素子分離絶縁膜14の上端部コーナーAを後退させる。このときエッチング量は、コーナーAにゲート絶縁膜15が露出することがないように選択される。これにより、素子分離絶縁膜14の上端部コーナーAがゲート電極材料膜16aの側面に終端した状態とする。

【0025】より詳細に言えば、コーナーAの浮遊ゲート電極材料膜16aに接する面位置は、浮遊ゲート電極材料膜16aの上面より低く、ゲート絶縁膜15との界面よりは高い。またコーナーAから離れた部分では素子分離絶縁膜14の面位置は浮遊ゲート電極材料膜16aのそれより高くなる。この等方性エッチングには、ウェットエッチングの他、プラズマエッチング等の等方性ドライエッチングを利用することもできる。

【0026】その後、図9に示すように、第2のゲート電極材料膜16bを堆積する。この第2のゲート電極材料膜16bには、これをワード線方向に分離するため、素子分離領域上に分離用のスリット33を加工する。そして図10に示すように、ONO膜等の層間ゲート絶縁膜17を形成し、その上に制御ゲート電極18を形成する。制御ゲート電極18は、図1及び図2に示すように、ストライプ状の素子領域12とは直交する方向に連続するワード線としてパターンニングされる。この制御ゲート電極18と同時に、下地の第2のゲート電極材料膜16b及び第1のゲート電極材料膜16aもパターンニングされて、ワード線と自己整合された形で各メモリトランジスタの浮遊ゲート電極16が分離される。この後は、通常の工程に従って、図2に示すように層間絶縁膜20を堆積し、その上にビット線21を形成する。

【0027】この実施例によると、素子分離絶縁膜14は、ゲート電極材料膜16aの面位置より突出した状態で逆テーパをなして埋め込まれるが、その上端部コーナーAの丸め処理を行っている。このため、制御ゲート電極18及び浮遊ゲート電極16をパターンニングするエッチング工程で、素子分離絶縁膜14がマスクとなって浮遊ゲート電極材料16a、16b、特に素子分離絶縁膜堆積前に形成された第1のゲート電極材料膜16aが素子分離絶縁膜14の境界に沿って残ることがない。従って、NANDセル内の隣接するメモリトランジスタの浮遊ゲート電極16間が短絡するという事故は確実に防止される。

【0028】図11及び図12は、この発明の別の実施例の製造工程を示している。上記実施例では、図7に示すようにシリコン窒化膜31を完全に除去した後に、素子分離絶縁膜14のコーナーの後退処理を行った。これに対しこの実施例では、先の実施例の図6に示す素子分離絶縁膜14の埋め込み工程の後、図11に示すようにシリコン窒化膜31の一部をエッチングする。この状態で、素子分離絶縁膜14に対して等方性エッチングを行い、図12に示すようにコーナーAを後退させる。以下、残りのシリコン窒化膜31を除去して、先の実施例と同様の工程を行う。

【0029】この実施例によると、素子分離絶縁膜14のコーナーAを後退させる等方性エッチングの工程で、側面からのオーバーエッチングによりコーナーAの終端部がゲート絶縁膜15にかかり、ゲート絶縁膜15がエッチングされるという事態を確実に防止することができ

る。

【0030】上記実施例では、素子分離絶縁膜14の埋め込み工程前に堆積された第1のゲート電極材料膜16aと、素子分離絶縁膜14の埋め込み後に重ねられた第2のゲート電極材料膜16bの二層構造により浮遊ゲート電極を形成している。これは、浮遊ゲート電極16の側面をも制御ゲート電極18に対向させて結合容量を大きくするためである。しかし、第2のゲート電極材料膜16bを用いることなく、第1のゲート電極材料膜16aのみで浮遊ゲート電極を構成する場合にも、この発明は有効である。

【0031】この発明は、NAND型EEPROMに限られず、同様の素子分離技術を適用する他の不揮発性メモリやMOSTランジスタ回路にも適用できる。具体的に図13は、通常のMOSTランジスタ回路に適用した実施例の平面図であり、図14(a)、(b)は図13のA-A'及びB-B'断面を示している。この実施例では、シリコン基板41の一つの素子領域47内に一つの拡散層を共有して二つのMOSTランジスタQ1、Q2を形成する例を示している。

【0032】シリコン基板41には、先の実施例と同様に、素子分離を行う前にゲート絶縁膜42を介して第1のゲート電極材料膜43a及び図示しないストッパマスク材料膜を堆積する。そして、RIEによりマスク材料膜、第1のゲート電極材料膜43aを素子領域に残すようにエッチングし、更に基板41をエッチングして、素子領域47を区画する溝44を形成する。この溝44に、これも先の実施例と同様にして素子分離絶縁膜45を埋め込む。その後、マスク材料膜を除去して、素子分離絶縁膜45の上端部コーナーAを等方性エッチングにより後退させる。

【0033】そして、第2のゲート電極材料膜43bを堆積し、これを下地の第1のゲート電極材料膜43aと共にパターンニングして、ゲート電極配線43を形成す

る。その後、イオン注入を行って、ソース、ドレイン拡散層46を形成する。

【0034】この実施例の場合にも、素子分離絶縁膜45の上端部コーナーAを等方性エッチングにより後退させる処理を行うことによって、素子領域内でゲート電極43をパターニングする際に、第1のゲート電極材料膜43aが素子分離領域の境界に沿ってエッチングされずに残るという事態が確実に防止される。

【0035】

【発明の効果】以上述べたようにこの発明によれば、トランジスタのゲート電極材料膜が素子分離絶縁膜の埋め込み工程前に堆積され、素子分離絶縁膜が半導体基板の面より突出した状態に埋め込まれる半導体装置において、素子分離絶縁膜の上端部コーナーに対してゲート電極のパターニング工程前に後退処理を施すことによって、ゲート電極のパターニング工程でゲート電極材料膜のエッチング残りが生じるといった事態が防止される。これにより、ゲート電極短絡という不良のない信頼性の高い半導体装置が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例によるNAND型EEPROMのメモリセルアレイの平面図である。

【図2】図1のA-A'及びB-B'断面図である。

【図3】同実施例の第1のゲート電極材料膜堆積までの工程を示す断面図である。

【図4】同実施例の素子分離溝形成の工程を示す断面図である。

【図5】同実施例の素子分離絶縁膜堆積の工程を示す断面図である。

【図6】同実施例の素子分離絶縁膜の埋め込み工程を示す断面図である。

【図7】同実施例のマスク材除去工程を示す断面図である。

【図8】同実施例の素子分離絶縁膜に対する後退処理工程を示す断面図である。

【図9】同実施例の第1のゲート電極材料膜形成の工程を示す断面図である。

【図10】同実施例の制御ゲート電極形成の工程を示す断面図である。

【図11】別の実施例による素子分離絶縁膜のエッチング工程を説明するための断面図である。

【図12】同実施例の素子分離絶縁膜エッチング工程を示す断面図である。

【図13】別の実施例によるMOSTランジスタ回路の平面図である。

【図14】図13のA-A'及びB-B'断面図である。

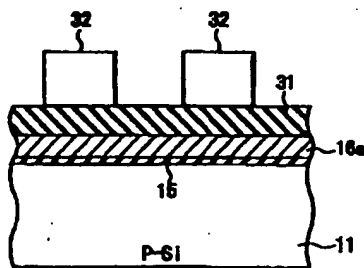
【図15】従来のNAND型EEPROMメモリセルアレイの素子分離技術を説明するための図である。

【図16】同従来技術を説明するための図である。

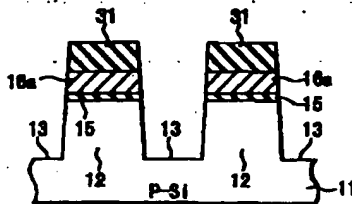
【符号の説明】

11…シリコン基板、12…素子領域、13…溝、14…素子分離絶縁膜、15…ゲート絶縁膜、16…浮遊ゲート電極、16a…第1のゲート電極材料膜、16b…第2のゲート電極材料膜、17…層間ゲート絶縁膜、18…制御ゲート電極、19…ソース、ドレイン拡散層、20…層間絶縁膜、21…ビット線、31…シリコン窒化膜。

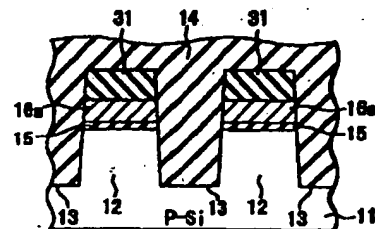
【図3】



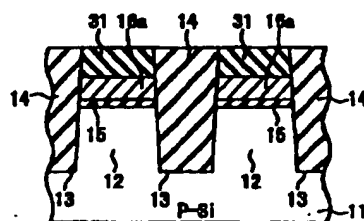
【図4】



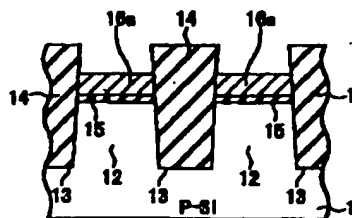
【図5】



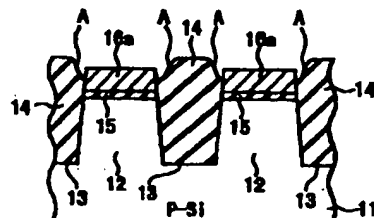
【図6】



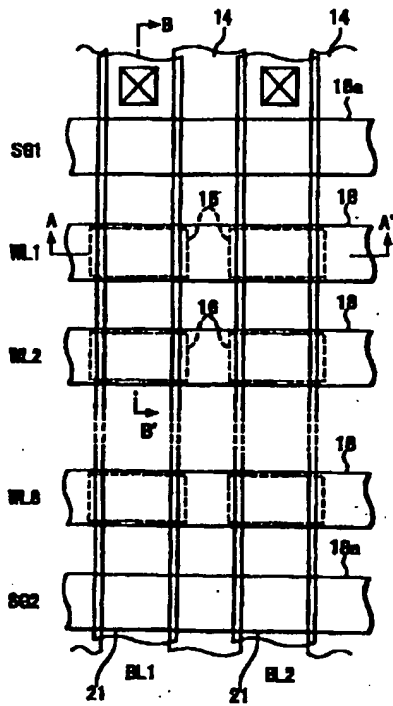
【図7】



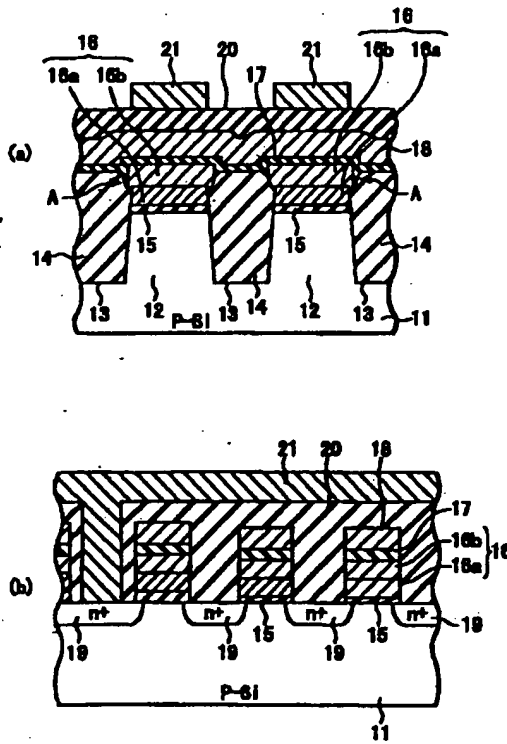
【図8】



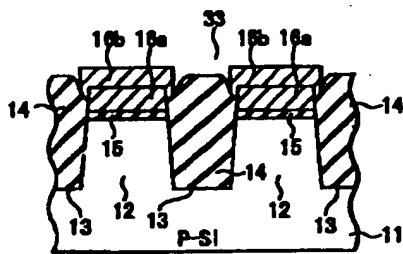
【図1】



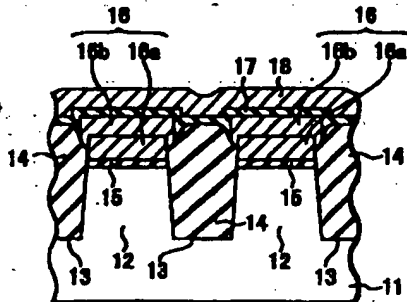
【図2】



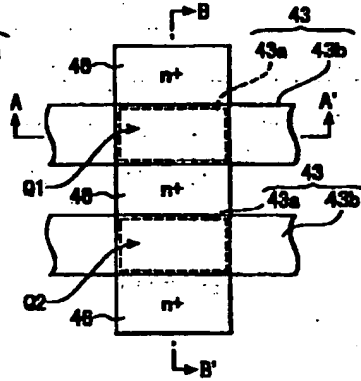
【図9】



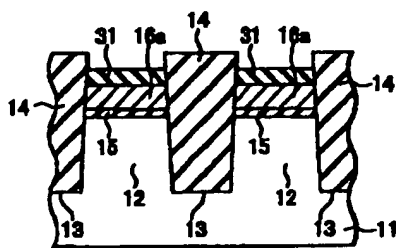
【図10】



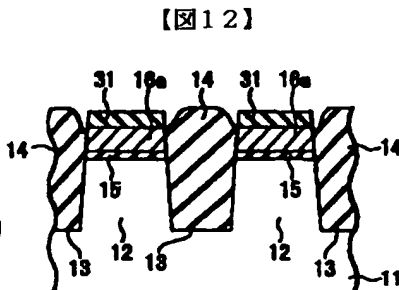
【図13】



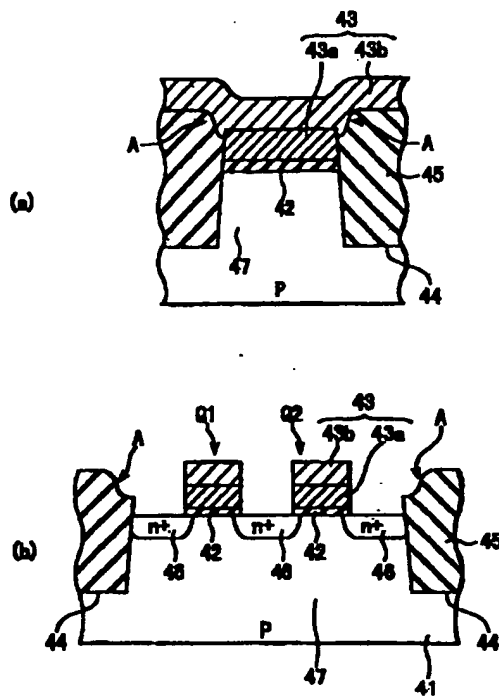
【図11】



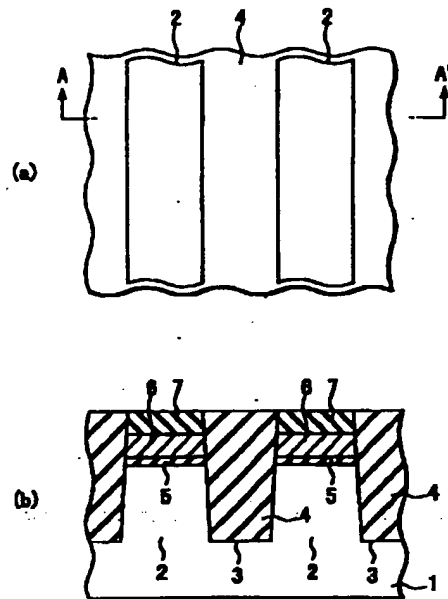
【図12】



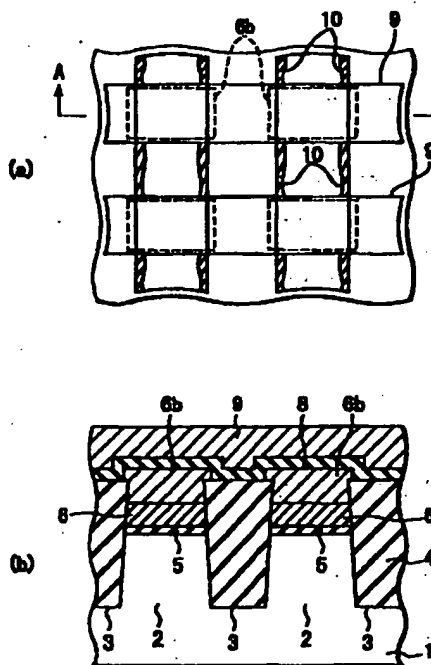
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 飯塚 裕久
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 成田 一仁
三重県四日市市山之一色町字中籠宮800番
地 株式会社東芝四日市工場内

(72)発明者 有留 誠一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 荒井 史隆
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内